

International Application No.: PCT/JP2003/013096
International Filing Date: October 10, 2003
Assignee(s): ROHM CO., LTD.

Title of the Invention: AREA IMAGE SENSOR

DECLARATION

I, kyoko NAKAGAWA, hereby declare:

that I am a translator belonging to KYOWEY INT'L of
2-32-1301 Tamatsukuri-Motomachi, Tennoji-ku, Osaka, 543-0014
Japan;

that I am well acquainted with both the Japanese and English
languages;

that, for entering the national phase of the
above-identified international application, I have prepared an
English translation of the Japanese specification and claims
as originally filed with the Japanese Patent Office (Receiving
Office); and

that the said English translation corresponds to the said
Japanese specification and claims to the best of my knowledge.

I also declare that all statements made herein of my
knowledge are true and that all statements made on information
and belief are believed to be true; and further that these
statements were made with the knowledge that willful false
statements and the like so made are punishable by fine or
imprisonment, or both, under Section 1001 of Title 18 of the
United States Code, and that such willful false statements may
jeopardize the validity of the application, any patent issuing
thereon, or any patent to which this verified statements is
directed.

Declared at Osaka, Japan on March 7, 2005
By Kyoko NAKAGAWA

Signature *Kyoko Nakagawa*

BEST AVAILABLE COPY

10.10.03

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年10月11日
Date of Application:

REC'D 27 NOV 2003

WIPO PCT

出願番号 特願2002-298667
Application Number:
[ST. 10/C]: [JP 2002-298667]

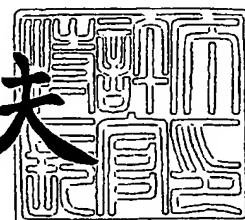
出願人 ローム株式会社
Applicant(s):

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年11月13日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 PR200320
【提出日】 平成14年10月11日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/146
H03M 1/00
【発明の名称】 エリアイメージセンサ
【請求項の数】 4
【発明者】
【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内
【氏名】 清水 誠
【特許出願人】
【識別番号】 000116024
【氏名又は名称】 ローム株式会社
【代理人】
【識別番号】 100086380
【弁理士】
【氏名又は名称】 吉田 稔
【連絡先】 0 6 - 6 7 6 4 - 6 6 6 4
【選任した代理人】
【識別番号】 100103078
【弁理士】
【氏名又は名称】 田中 達也
【選任した代理人】
【識別番号】 100105832
【弁理士】
【氏名又は名称】 福元 義和

【選任した代理人】

【識別番号】 100117167

【弁理士】

【氏名又は名称】 塩谷 隆嗣

【選任した代理人】

【識別番号】 100117178

【弁理士】

【氏名又は名称】 古澤 寛

【手数料の表示】

【予納台帳番号】 024198

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109316

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 エリアイメージセンサ

【特許請求の範囲】

【請求項 1】 光電変換素子とスイッチング素子との接続対からなる撮像素子を多数有し、これらの撮像素子が多行多列に配列されたエリアイメージセンサであって、

撮像素子の各列に対応させて複数本ずつ割り当てられた信号線と、

各信号線の出力端にそれぞれ接続されたアナログ／デジタルコンバータとを備えており、

撮像素子の各列に属するスイッチング素子は、当該列に割り当てられた信号線の数と同じ数の組に分けられているとともに、

撮像素子の各列において、各組に属するスイッチング素子の出力端は、組ごとに異なる信号線に接続されていることを特徴とする、エリアイメージセンサ。

【請求項 2】 上記撮像素子の各列に属するスイッチング素子は、当該列に割り当てられた上記信号線の数と同じ個数おきに共通組をなす、請求項 1 に記載のエリアイメージセンサ。

【請求項 3】 上記撮像素子の各行に対応させて 1 本ずつ割り当てられ、1 本につき当該行に属する上記スイッチング素子全ての入出力ゲートが接続されたアドレス線と、

上記アドレス線を所定本数ずつまとめて選択するアドレス線選択回路と、

上記アナログ／デジタルコンバータの各々から出力されたデジタル信号を列順に出力するシフトレジスタとを有する、請求項 1 または 2 に記載のエリアイメージセンサ。

【請求項 4】 上記アナログ／デジタルコンバータは、上記アドレス線選択回路が上記アドレス線を選択するごとに上記信号線から入力される信号電圧と当該アドレス線の選択時間内に変化する基準電圧とを逐次比較し、両電圧が一致したときの電圧値そのものあるいはカウント値をデジタル画素信号として上記シフトレジスタに出力する、請求項 3 に記載のエリアイメージセンサ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本願発明は、たとえばデジタルカメラなどに組み込まれたCMOS (Complementary Metal Oxide Semiconductor) 型のエリアイメージセンサに関する。

【0 0 0 2】

【従来の技術】

たとえば従来のCMOS型エリアイメージセンサは、撮像素子の各列に平行して1本ずつ信号線を有するとともに、各行に平行して1本ずつアドレス線を有する。各信号線には、1列分の撮像素子（同列に含まれるスイッチングトランジスタの出力端）が共通に接続され、各アドレス線には、1行分の撮像素子（同行に含まれるスイッチングトランジスタのゲート）が共通に接続されている。各信号線の出力端には、アナログ／デジタルコンバータが接続され、さらにアナログ／デジタルコンバータの出力端には、シフトレジスタが接続されている（たとえば、特許文献1参照）。

【0 0 0 3】

このようなエリアイメージセンサでは、たとえばプログレッシブスキャン方式の場合、アドレス線が1本ずつ順に選択（スキャン）され、それに応じて1行ごとに撮像素子からの信号電圧がアナログ／デジタルコンバータに入力される。アナログ／デジタルコンバータは、1本のアドレス線スキャン時間内に入力された信号電圧と同時間内に変化する基準電圧とを逐次比較し、両電圧が一致したときのカウント数をデジタル画素信号としてシフトレジスタに出力する。シフトレジスタは、各アナログ／デジタルコンバータからのデジタル画素信号をシフトパルスに同期して列順に出力する。これにより、デジタル画像信号は、行ごとに連続する画像データとして出力される。

【0 0 0 4】

つまり、1フレーム分の画像データは、全てのアドレス線を選択し終えて全行分のデジタル画素信号がシフトレジスタから出力されることで得られる。これは、1フレーム当たり少なくとも全アドレス線のスキャン時間を要することを意味する。そのため、たとえばフレームレートを60fps (frame per second: 単

位時間（秒）当たりのフレーム数）、アドレス線の全本数（撮像素子の全行数に等しい）を n とした場合、アナログ／デジタルコンバータは、 $1 / (60 \times n)$ 秒程度のサイクルタイムでアナログ入力の信号電圧をデジタル画素信号に変換する。

【0005】

【特許文献1】

特開 2001-036816 号公報

【0006】

【発明が解決しようとする課題】

しかしながら、上記のようにアドレス線を 1 本ずつ順番にスキャンする従来のエリアイメージセンサでは、極めて短いサイクルタイムでアナログ／デジタル変換しなければならないので、アナログ／デジタルコンバータを安定動作させる点から高フレームレート化を図るのは困難とされる。

【0007】

一方、フレームレートを抑えつつもアナログ／デジタル変換の分解能を高めるべく、アナログ／デジタルコンバータに入力するクロック周波数を高めて基準電圧を細かく変化させることがある。ところが、クロック周波数を高くすると消費電力が多くなるので、消費電力の低減と高分解能化とを両立することはできなかった。

【0008】

【発明の開示】

本願発明は、このような事情のもとで考え出されたものであって、フレームレートを容易に高めることができ、消費電力を抑えつつも高分解能化を図ることができるエリアイメージセンサを提供することを、その課題としている。

【0009】

上記の課題を解決するため、本願発明では、次の技術的手段を講じている。

【0010】

すなわち、本願発明によれば、光電変換素子とスイッチング素子との接続対からなる撮像素子を多数有し、これらの撮像素子が多行多列に配列されたエリアイ

メージセンサであって、撮像素子の各列に対応させて複数本ずつ割り当てられた信号線と、各信号線の出力端にそれぞれ接続されたアナログ／デジタルコンバータとを備えており、撮像素子の各列に属するスイッチング素子は、当該列に割り当てられた信号線の数と同じ数の組に分けられているとともに、撮像素子の各列において、各組に属するスイッチング素子の出力端は、組ごとに異なる信号線に接続されていることを特徴とする、エリアイメージセンサが提供される。

【0011】

好ましい実施形態としては、上記撮像素子の各列に属するスイッチング素子は、当該列に割り当てられた上記信号線の数と同じ個数おきに共通組をなす構成とすることができる。

【0012】

また、上記撮像素子の各行に対応させて1本ずつ割り当てられ、1本につき当該行に属する上記スイッチング素子全ての入出力ゲートが接続されたアドレス線と、上記アドレス線を所定本数ずつまとめて選択するアドレス線選択回路と、上記アナログ／デジタルコンバータの各々から出力されたデジタル信号を列順に出力するシフトレジスタとを有する構成とすることができる。

【0013】

上記アナログ／デジタルコンバータは、上記アドレス線選択回路が上記アドレス線を選択するごとに上記信号線から入力される信号電圧と当該アドレス線を選択時間内に変化する基準電圧とを逐次比較し、両電圧が一致したときの電圧値そのものあるいはカウント値をデジタル画素信号として上記シフトレジスタに出力する。

【0014】

本願発明によれば、たとえば撮像素子の各列に平行して4本ずつ信号線を設けた場合、各列に属するスイッチング素子を4個おきに共通組として4組に分け、各組に属するスイッチング素子の出力端を組ごとに異なる信号線に接続することができる。すなわち、共通組をなすスイッチング素子の出力端については、1本の信号線に共通接続できる。このような接続形態では、たとえばアドレス線を4本（4行分）ずつまとめて選択することができ、それに応じて4行分の光電変換

素子の信号電圧を各アナログ／デジタルコンバータに同時入力させることができる。つまり、アナログ／デジタルコンバータ全体からは、アドレス線を選択するごとに4行分のデジタル画素信号が出力され、シフトレジスタからは、行ごとにデジタル画像信号を連続させた4行分の画像データが出力される。たとえば、フレームレートを60fps、アドレス線の全本数（撮像素子の全行数に等しい）をnとして4本ずつ選択する場合、アナログ／デジタルコンバータは、 $1/(15 \times n)$ 秒程度とした従来に比べて長いサイクルタイムでアナログ入力の信号電圧をデジタル画素信号に変換できる。

【0015】

したがって、本願発明によれば、複数行分の信号電圧を同一時間内にまとめてアナログ／デジタル変換できるので、アナログ／デジタルコンバータのサイクルタイムを従来と変わりなく同程度としてもフレームレートを従来より大きくすることができ、高フレームレート化を容易に図ることができる。また、フレームレートを従来と同レベルとした場合、上記したようにサイクルタイムが比較的長くなるので、アナログ／デジタルコンバータに入力するクロック周波数を高めなくても基準電圧を細かくなだらかに変化させることができ、ひいては消費電力を抑えて高分解能化を図ることができる。もちろん、アナログ／デジタルコンバータのサイクルタイムやクロック周波数などを適当に調整すれば、高フレームレート化と高分解能化とを両立できるのは言うまでもない。

【0016】

本願発明のその他の特徴および利点は、添付図面を参照して以下に行う発明の実施の形態の説明から、より明らかになるであろう。

【0017】

【発明の実施の形態】

以下、本願発明の好ましい実施の形態を、図面を参照して具体的に説明する。

【0018】

図1は、本願発明の一実施形態に係るエリアイメージセンサの構成図である。エリアイメージセンサ1は、たとえばデジタルカメラ用のCMOS型イメージセンサであって、横長長方形の撮像部1Aを備える。撮像部1Aとその周辺回路

は、多数のフォトダイオード（光電変換素子）10…、多数のスイッチング素子20…、多数のアナログ／デジタルコンバータ（以下、「ADコンバータ」と呼ぶ）30…、シフトレジスタ40、アドレス線選択回路50、縦方向に延びる信号線L…、および横方向に延びるアドレス線A…などで概略構成される。

【0019】

フォトダイオード10とスイッチング素子20とは、互いに接続されて対をなし、撮像素子として機能する。この撮像素子を1つずつ仕切る単位区画が1ピクセル（画素）に相当し、撮像部1Aは、多数の撮像素子を多行多列に配列したピクセルアレイ構造からなる。信号線L…は、撮像素子の列ごとに一例として4本ずつ引かれている。1本の信号線Lには、スイッチング素子20…の出力端20A…が4個おきに接続されている。信号線Lの出力端には、ADコンバータ30が接続され、ADコンバータ30の出力端は、シフトレジスタ40に接続されている。アドレス線A…は、撮像素子の行ごとに1本ずつ引かれている。1本のアドレス線Aには、1行全てのスイッチング素子20…の入出力ゲート20B…が接続されている。これら全てのアドレス線A…は、アドレス線選択回路50に接続されている。

【0020】

なお、本実施形態では、横方向に並ぶ一まとまりの素子群を「行」と呼び、「行」に直交して縦方向に並ぶ一まとまりの素子群を「列」と呼ぶ。たとえば、上から順に「第1行、第2行、…」とし、左から順に「第1列、第2列、…」とする。信号線L…については、第1列目の左から順に「L11、L12、L13、L14」、第2列目の左から順に「L21、L22、L23、L24」などとなるように符号を付す。アドレス線A…については、上から順に第1行目、第2行目、…が「A1、A2、…」などとなるように符号を付す。

【0021】

図2は、1つの撮像素子についての回路図である。スイッチング素子20は、図2に代表例を示すように、リセット用トランジスタTR1、スイッチング用トランジスタTR2、およびソースフォロワアンプ用トランジスタTR3を組み合わせる。リセット用トランジスタTR1とスイッチング用トランジスタTR

2とは、CMOS構造により実現される。また、図1では省略したが、行ごとにリセット線R（第1行目については符号R1）が引かれ、列ごとにコモン線C（第1列目については符号C1）が引かれている。リセット用トランジスタTR1のソース、ゲート、ドレインは、フォトダイオード10の出力端、リセット線R1、コモン線C1に接続され、スイッチング用トランジスタTR2のソース、ゲート、ドレインは、コモン線C1、アドレス線A1、ソースフォロワンプ用トランジスタTR3のソースに接続されている。ソースフォロワンプ用トランジスタTR3のゲートは、フォトダイオード10の出力端に接続され、ドレインが信号線L11に接続されている。これらのうち、ソースフォロワンプ用トランジスタTR3のドレインと信号線L11との接点がスイッチング素子20の出力端20Aに相当し、スイッチング用トランジスタTR2のゲートとアドレス線A1との接点がスイッチング素子20の入出力ゲート20Bに相当する。簡単に言うと、各ピクセルでは、入出力ゲート20Bを通電状態としてスイッチング素子20がオンされると、フォトダイオード10からの受光量に応じた信号電荷が信号線Lに流れ込み、この信号線Lを通じてADコンバータ30に信号電圧が入力される。

【0022】

ここで、一例として第1列目に属するスイッチング素子20…と信号線L11～L14とに着目し、これらの接続関係について見ると、第1列目に並ぶスイッチング素子20…は、4行（4個）おきに共通組をなすように組み分けされている。具体的に言うと、第 $1+4n$ （ n は整数）行目のスイッチング素子20…の出力端20A…は、信号線L11に接続され、第 $2+4n$ 行目のスイッチング素子20…については、信号線L12に接続されている。第 $3+4n$ 行目のスイッチング素子20…の出力端20A…は、信号線L13に接続され、第 $4n$ 行目のスイッチング素子20については、信号線L14に接続されている。他の列についても同様である。これによれば、4行ずつまとめてスイッチング素子20…をオンさせ、連続する4行分の信号電圧を全ての信号線L…を通じてADコンバータ30…に入力させることができる。

【0023】

図3は、1つのADコンバータ30についてのブロック図である。ADコンバータ30は、比較器31およびカウンタ32などで構成される。比較器31には、アナログ信号としてサンプルホールドされた信号電圧が信号線Lを通じて入力されるとともに、動作クロックに同期してスロープ状に変化する基準電圧が入力される。この基準電圧は、アドレス線選択回路50の選択周期（これを、「サイクルタイム」と呼ぶ）ごとに入力される。比較器31は、サイクルタイム内に入力された信号電圧と基準電圧とを同時間内に逐次比較し、両電圧が一致した時点でカウンタ32にラッチ信号を出力する。カウンタ32は、サイクルタイムごとにクロック数をカウントしており、比較器31からラッチ信号を受けると、その時点のクロックカウント数をデジタル画素信号としてシフトレジスタ40に出力する。つまり、ADコンバータ30…は、各列4本ずつの信号線L…に対応して4個ずつ設けられ、各ADコンバータ30は、サイクルタイムごとに1ピクセル分のアナログ信号電圧をデジタル画素信号に変換して出力する。

【0024】

シフトレジスタ40は、図1に示すようにフリップフロップ回路などで個別に構成されたレジスタ41…を備える。各レジスタ41は、ADコンバータ30の出力端に接続されている。つまり、レジスタ41…は、各列4個ずつのADコンバータ30…と同様に4個ずつ設けられ、信号線L11, L21, …に対応する一群、信号線L12, L22, …に対応する一群、信号線L13, L23, …に対応する一群、信号線L14, L24, …に対応する一群が行をなすように相互に接続されている。このようなシフトレジスタ40は、各ADコンバータ30からのデジタル画素信号を各レジスタ41に取り込んだ後、クロックなどに同期して左から右のレジスタ41にデジタル画素信号を順番に移しながら順次出力する。これにより、4行ずつデジタル画素信号が得られる。

【0025】

アドレス線選択回路50は、上から順に4本ずつまとめてアドレス線A…を周期的に選択することで通電状態とする。このアドレス線選択回路50の選択動作は、スキャンと呼ばれ、1スキャンごとに4本のアドレス線Aが一括選択される。また、1回のスキャン時間がサイクルタイムとされ、その時間内にADコンバ

ータ 30 の A/D 変換処理が行われる。

【0026】

次に、エリアイメージセンサ 1 の全体動作を図 4 および図 5 を参照して説明する。

【0027】

図 4 および図 5 は、A/D コンバータ 30 の動作タイミングを説明するためのタイムチャートである。なお、図 4 の (a) は本実施形態によるタイムチャート、(b) は比較用の従来例によるタイムチャートである。

【0028】

まず、アドレス線選択回路 50 は、第 1 行目から第 4 行目までのアドレス線 A1～A4 をまとめてスキャン（選択）する。すると、これらのアドレス線 A1～A4 に接続された第 1 行目から第 4 行目までのスイッチング素子 20…がオンとなる。同時に、オンしたスイッチング素子 20…と対をなすフォトダイオード 10…からは、光電変換による信号電圧が全ての信号線 L…を通じて A/D コンバータ 30…に供給される。

【0029】

各 A/D コンバータ 30 は、図 4 の (a) に一例として示すように、アドレス線選択回路 50 がスキャンするサイクルタイム内において、スロープ状に変化する基準電圧とアナログ入力の信号電圧（図中にプロットで示す）とを逐次比較する。そして、A/D コンバータ 30 は、両電圧が一致したときのクロックカウント数をデジタル画像信号としてシフトレジスタ 40 に出力する。シフトレジスタ 40 は、次の第 5 行目から第 8 行目までのスキャン中などに第 1 行目から第 4 行目までのデジタル画像信号を出力する。第 1 行目から第 4 行目までのスキャンが終わると、同行のリセット線 R…が選択されることでフォトダイオード 10…がリセットされ、次の第 5 行目から第 8 行目までのスキャンが開始される。このような一連の動作が繰り返されることにより、画像データは、上から順にピクセル単位で 4 行ずつ得られる。そして、撮像部 1A 全体に対応する 1 フレーム分の画像データは、全行にわたる画像データが得られることで完成する。たとえば、デジタルカメラの液晶モニタには、撮影直前などに動きのある画像が表示されるが、こ

の動画像は、極めて短い時間内に多数のフレームが連続出力されることで実現される。

【0030】

ここで、たとえばフレームレートを 60 fps、アドレス線 A…の全本数（全行数）を n とした場合について考える。その場合、ADコンバータ 30 は、1 フレーム当たり $1/60$ 秒程度の処理時間を要する。そして、1 フレーム分の処理時間内に ADコンバータ 30 は、4 行分ずつ AD変換するので総計 $n/4$ 回の AD変換を行う。よって、1 回の AD変換に要するサイクルタイムは、 $1/(15 \times n)$ 秒程度になる。

【0031】

一方、フレームレートやアドレス線の全本数を上記と同一条件としつつも、プログレッシブスキャン方式によりアドレス線を 1 本ずつ選択して 1 行ごとに AD変換を行う従来例によれば、1 フレーム分の処理時間内に総計 n 回の AD変換を行う必要があるので、1 回の AD変換に要するサイクルタイムは、 $1/(60 \times n)$ 秒程度になる。

【0032】

このような本実施形態と従来例との関係によれば、図 4 の (a) および (b) に示すように、本実施形態の方が従来例よりサイクルタイムが 4 倍程度長くなり、1 サイクルタイムにおける基準電圧の変化率（傾きに相当）が小さくなる。そして、ADコンバータ 30 の動作クロック（クロック周波数）を従来例でも同じとすれば、信号電圧と基準電圧との比較精度の点において本実施形態の方が従来例より高くなる。これは、ADコンバータ 30 の分解能が高まることを意味する。ADコンバータ 30 の分解能が高まると、AD変換後のデジタル画素信号のビット数が大きくなり、1 ピクセル当たりの階調数が増える。

【0033】

また、図 5 に示すように、サイクルタイムを図 4 の (a) によるものの半分程度とした場合でも、従来例よりサイクルタイムが長くなり、ADコンバータ 30 の高分解能化につながる。しかも、図 5 のサイクルタイムによれば、4 行ずつ AD変換を行うタイミングが図 4 の (a) に比べて速くなるので、1 フレーム分の

画像データを得るタイミングも速まり、フレームレートが大きくなる。

【0034】

さらに、図4の(a)や図5に示す動作クロックを低くしても、ある程度までであれば従来例より分解能を高く保つことができ、動作クロックを低くすることでADコンバータ30などにおいて消費される電力を低減することができる。

【0035】

したがって、上記エリアイメージセンサ1によれば、4行分ずつ信号電圧をサイクルタイム内にまとめてAD変換できるので、ADコンバータのサイクルタイムを従来例と変わりなく同一時間とした場合、フレームレートを大きくすることができ、高フレームレート化を容易に図ることができる。

【0036】

逆に、フレームレートを従来例と同レベルにすれば、サイクルタイムを長くとれるので、ADコンバータ30の動作クロックを高めなくても基準電圧を細かくなだらかに変化させることができ、さらには動作クロックをある程度下げて消費電力を低減しつつ高階調化を図ることができる。

【0037】

上記の効果は、たとえば液晶モニタに動画像を表示させる際や、記録用メモリなどに動画像データを取り込む際に特に有効とされる。また、撮像部1A全体を高画素化しやすくなるとも言える。

【0038】

なお、本願発明は、上記の実施形態に限定されるものではない。

【0039】

上記エリアイメージセンサ1は、デジタルカメラに限らず、たとえばデジタルビデオカメラや撮影機能付きの携帯型電話機などにも適用することができ、さらには工業用の検査装置などにも広く適用できる。

【0040】

また、エリアイメージセンサ1は、カラー入力方式あるいはモノクロ入力方式を問わず、いずれの入力方式にも適用できる。

【0041】

撮像部 1A は、厳密に撮像素子を多行多列に配列した構造でなくとも良く、たとえばハニカム構造などであっても良い。

【0042】

図 2 には、1 フォトダイオードおよび 3 トランジスタからなる撮像素子の一例を示したが、たとえばスイッチング素子 20 については、4 トランジスタ構造などとしても良い。

【0043】

各列に割り当てる信号線 L の本数は、4 本に限らず、好ましくは 4 ～ 8 本程度とすることができる。

【0044】

各列に属するスイッチング素子 20…は、1 列に割り当てられた信号線 L…の本数（上記実施形態では 4 本）と同数の 4 組に分ける限り、たとえば上下に隣り合うもの同士が共通組をなすように分けられていても良い。ただし、アドレス線選択回路 50 は、1 スキャン中に共通組をなす 2 以上のスイッチング素子 20…を同時にオンさせてはならない。

【0045】

AD コンバータ 30 は、スロープ状の基準電圧を用いる方式に限らない。たとえば動作クロックを基にデジタル量としての基準電圧を発生し、この基準電圧と信号電圧とを逐次比較して両電圧が一致したときの電圧値そのものをデジタル画素信号として出力する方式でも良い。

【0046】

アドレス線選択回路 50 は、たとえば第 1 ～ 第 4 行目のアドレス線 A…をスキャンした後、第 5 ～ 第 8 行目を飛び越して第 9 ～ 第 12 行目をスキャンし、順次同様の手順を繰り返すようにしてスキャンするものとしても良い。

【図面の簡単な説明】

【図 1】

本願発明の一実施形態に係るエリアイメージセンサの構成図である。

【図 2】

1 つの撮像素子についての回路図である。

【図 3】

1つのADコンバータについてのブロック図である。

【図 4】

ADコンバータの動作タイミングを説明するためのタイムチャートである。

【図 5】

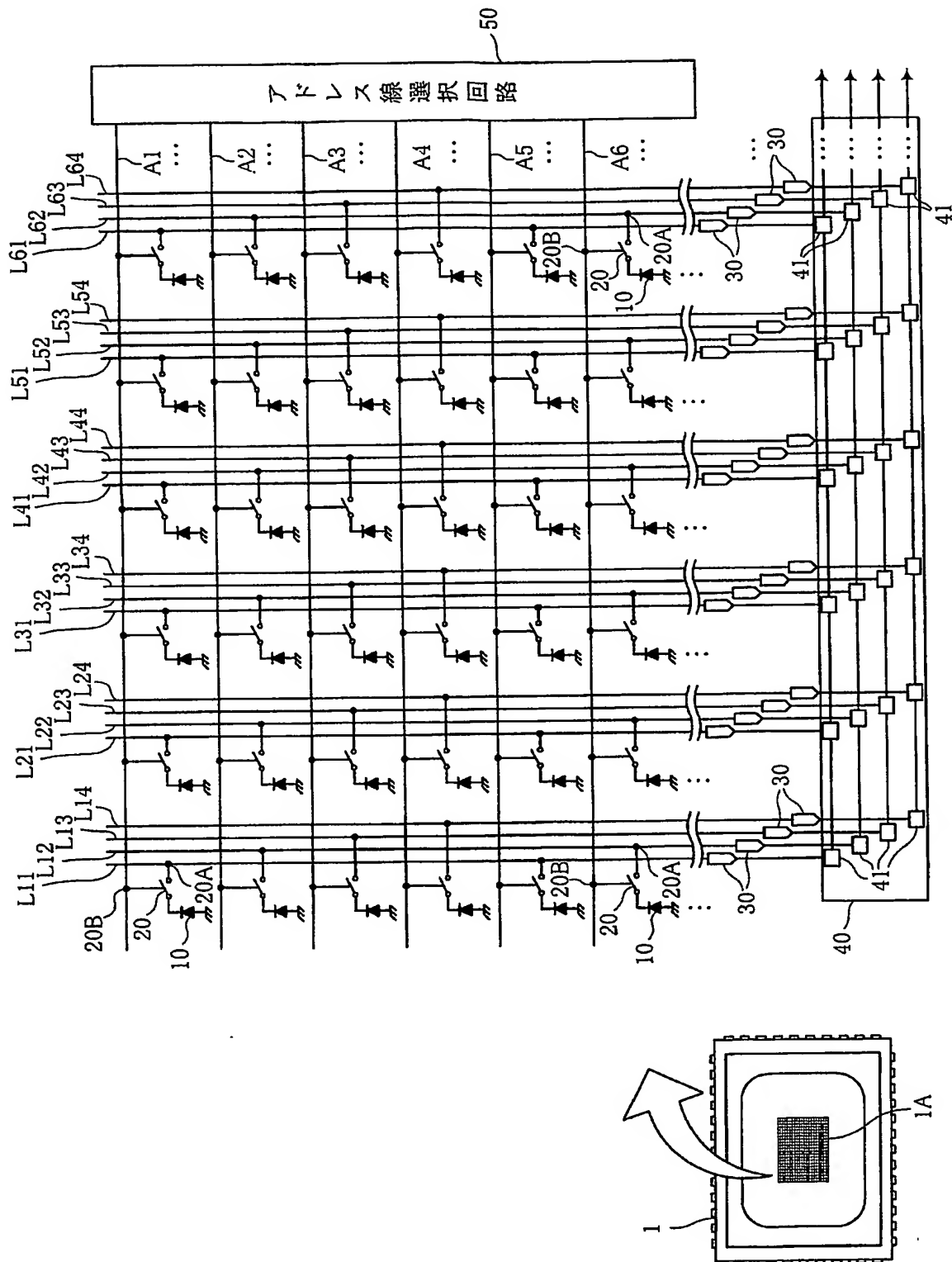
ADコンバータの動作タイミングを説明するためのタイムチャートである。

【符号の説明】

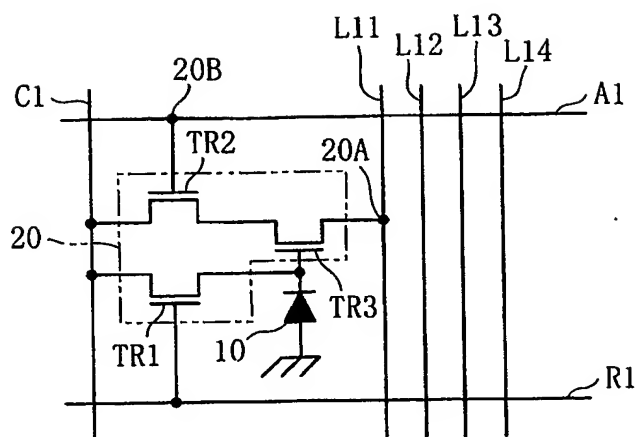
- 1 エリアイメージセンサ
- 1 A 撮像部
- 1 0 フォトダイオード
- 2 0 スイッチング素子
- 2 0 A スイッチング素子の出力端
- 2 0 B スイッチング素子の入出力ゲート
- 3 0 ADコンバータ
- 4 0 シフトレジスタ
- 5 0 アドレス線選択回路
- A アドレス線
- L 信号線

【書類名】 図面

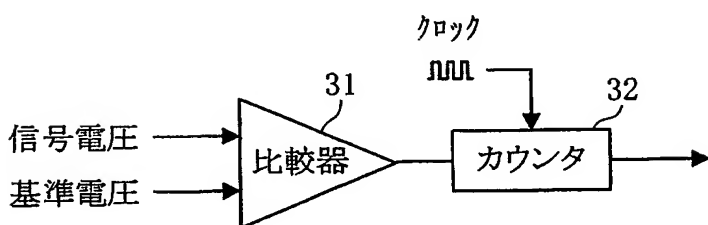
【図1】



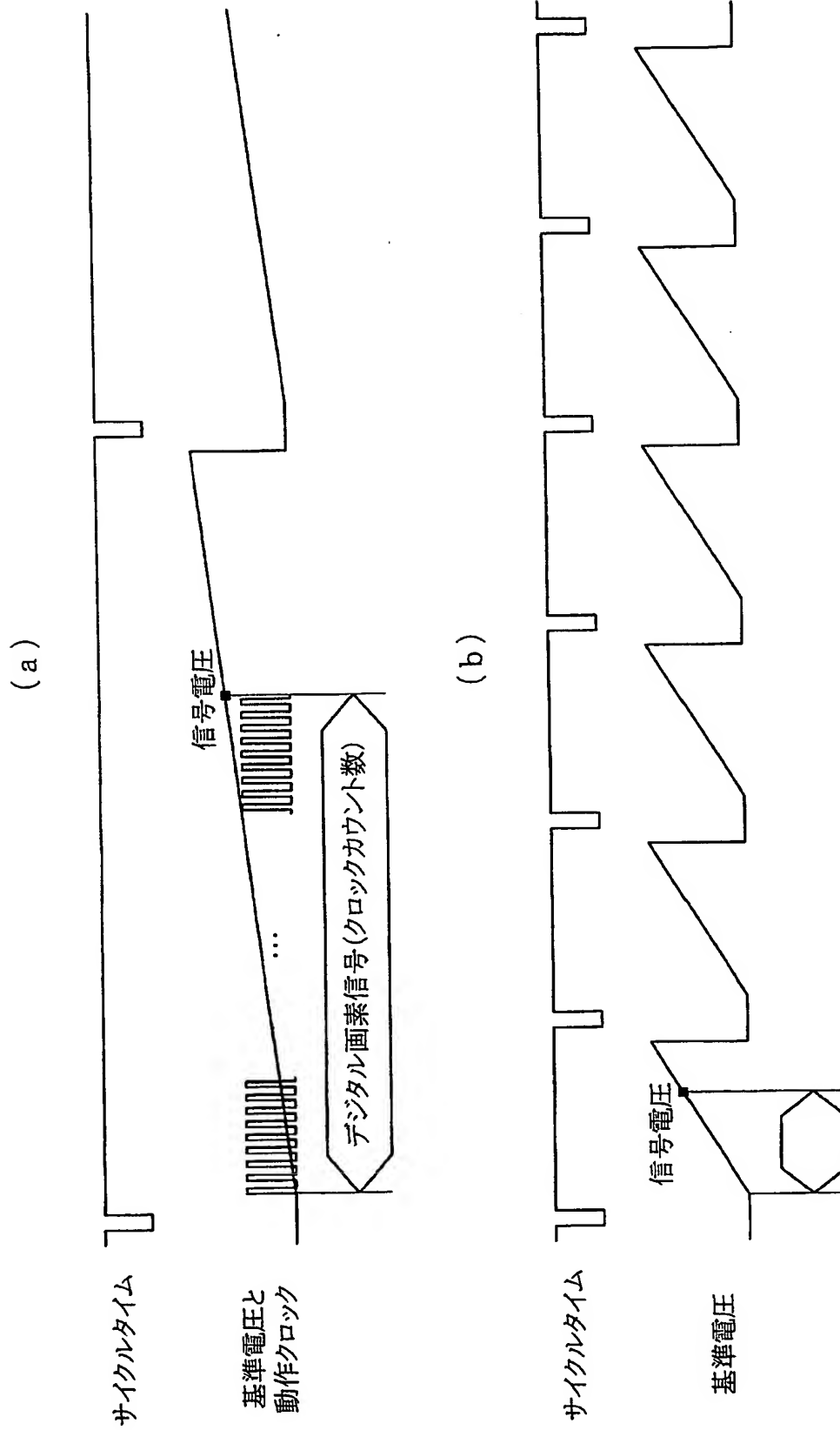
【図 2】



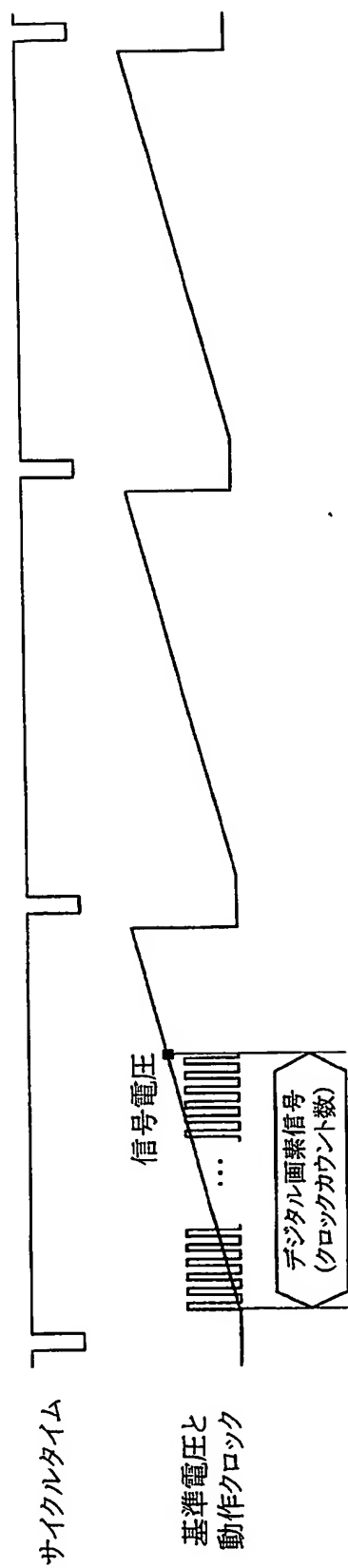
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 フレームレートを容易に高めることができ、消費電力を抑えつつも高分解能化を図ることができるようにする。

【解決手段】 光電変換素子 10 とスイッチング素子 20 との接続対からなる撮像素子を多数有し、これらの撮像素子が多行多列に配列されたエリアイメージセンサ 1 であって、撮像素子の各列に対応させて 4 本ずつ割り当てられた信号線 L…と、各信号線 L の出力端にそれぞれ接続された A/D コンバータ 30…とを備えており、撮像素子の各列に属するスイッチング素子 20…は、当該列に割り当てられた信号線 L…の数（4 本）と同じ数の 4 組に分けられているとともに、撮像素子の各列において、各組に属するスイッチング素子 20…の出力端 20A…は、組ごとに異なる信号線 L…に接続されている。

【選択図】 図 1

特願 2 0 0 2 - 2 9 8 6 6 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 1 6 0 2 4]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町 2 1 番地

氏 名

ローム株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINE(S) OR MARK(S) ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.